基于同步参考坐标系的三相数字锁相环

洪小圆 吕征宇
（浙江大学电力电子国家专业实验室 杭州 310027）

摘要 基于同步参考坐标系的三相数字锁相环的动态性能取决于比例积分环节的参数设计、角频率静态偏置补偿误差及相位静态偏置补偿误差，本文通过构造李雅普诺夫函数验证了三相数字锁相环的非线性模型全局渐进稳定性，保证基于线性模型设计的 PI 参数的有效性；提出了基于过零检测的电网三相电压相序识别方法以保证角频率静态偏置的正确补偿，推导出了该方法下综合抗干扰能力最强的过零检测滞环幅值的求解公式，将相序识别时获得的初始相位用于锁相环的相位静态偏置补偿，使锁相环的调整时间缩短到过零点的等待时间及滞环电压引起的过零点误差调整时间。最后，仿真和实验证明了该方法的可行性。

关键词： 锁相环 同步参考坐标系 过零检测 相序识别 李雅普诺夫稳定性
中图分类号： TM46

Three-Phase Digital Phase-Locked Loop Based on Synchronous Reference Frame

Hong Xiaoyuan Lü Zhengyu
（Zhejiang University Hangzhou 310027 China）

Abstract The dynamic performance of three-phase digital phase-locked loop (PLL) based on synchronous reference frame depends on the proportional and integral (PI) parameters, compensation errors of angular frequency and phase angle static bias. The nonlinear model of the PLL is proved to be globally asymptotically stable with the design of Lyapunov function, which assures the validity of the PI parameters designed on the linear model. A grid phase sequence identification method based on zero-crossing detection is presented to guarantee the correct compensation of the angular frequency static bias. And the hysteresis voltage for zero-crossing detection is deduced to obtain the largest anti-interference margin. The initial phase angle is identified during phase sequence identification, and it could be used to compensate the phase angle static bias. Then the set-up time of the PLL could be greatly shortened to the waiting time of the zero-crossing and the set-up time of zero-crossing error due to the hysteresis voltage. Finally, the advantages mentioned above are verified by simulations and experiments.

Keywords： Phase-locked loop, synchronous reference frame, zero-crossing detection, phase sequence identification, Lyapunov stability

收稿日期 2011-01-17 改稿日期 2011-03-14

1 引言

锁相环广泛应用于通信[1-3]、电力电子[4-7]和电力传动[7-9]中，在工业应用中起着举足轻重的作用，而基于同步参考坐标系的三相数字锁相环以其实现的简易及对电网畸变的较好抑制能力，在并网逆变器、无功补偿器、整流器等与电网连接的三相系统中得到了越来越多的关注[10-14]。从控制角度出发，锁相环的性能包括稳定性、稳态性能和动态性能[15]，为了提高锁相环的性能，可基于其线性模型或非线性模型对各组成单元的可更改部分进行完善。文献[16-18]通过构造李雅普诺夫函数验证了一系列

模拟锁相环、过零数字锁相环及一系列典型数字锁相环非线性模型阶跃输入时的稳定性，为锁相环的设计提供参考，文献 [19]比较了李雅普诺夫和拉塞尔不变集理论用于验证锁相环全局稳定性的区别；文献[10-14]针对基于同步参考坐标系的三相锁相环，提出了基于其线性模型的 PI 参数的优化设计方法，以更好地权衡稳态性能及动态性能。然而并没有文献针对基于同步参考坐标系的三相数字锁相环稳定性进行论证，PI 参数之外的影响动态性能的因素也没有得到关注。

本文首先简述了基于同步参考坐标系的三相数字锁相环原理，总结出影响锁相环动态性能的主要因素，通过构造李雅普诺夫函数分析上述因素对锁相环非线性模型的全局渐进稳定性的影响，然后针对 PI 参数以外的影响因素提出了采用相序识别以缩短锁相环调整时间的方法，并对其具体实现进行分析，最后给出仿真和实验结果。

2 基于同步参考坐标系的三相锁相环原理

假定三相电网电压幅值、频率恒定，各相之间相位相差 120°，如图 1 所示，三相电网电压合成空间矢量 $\boldsymbol{u}_s$ 以恒定角频率 ω_0 旋转，与β轴负半轴夹角为 θ^*，θ^*随时间斜率上升。虚拟一以角频率 ω旋转的 dq 坐标系，其 d 轴与β轴负半轴夹角为 θ，为已知量。电压矢量 $\boldsymbol{u}_s$ 在 dq 坐标系上投影为 u_{sd}、u_{sq}，u_{sq} 指示着电压矢量与虚拟坐标系间的相位关系，当 $u_{sq}>0$ 时，电压矢量 $\boldsymbol{u}_s$ 领先于 d 轴，当 $u_{sq}=0$ 时，电压矢量 $\boldsymbol{u}_s$ 与 d 轴同相位，当 $u_{sq}<0$，电压矢量 $\boldsymbol{u}_s$ 滞后于 d 轴。因此以 u_{sq} 为反馈，以虚拟坐标系的旋转角频率 ω为控制量，以 $u_{sq}=0$ 为控制目标，即可控制 d 轴跟随 $\boldsymbol{u}_s$ 并获得当前电网各相电压的相位，据此建立的锁相环结构框图如图 2 所示，锁相环通过电压矢量在 q 轴上的投影进行鉴相，以比例积分环节为环

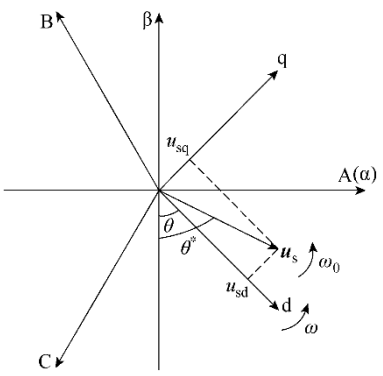


图 1 三相电压空间矢量图

Fig.1 Vector graph of three-phase voltage

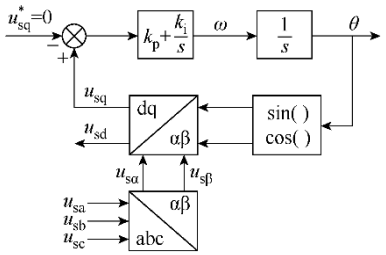


图 2 基于同步参考坐标系的锁相环结构框图

Fig.2 Phase-locked loop structure based on synchronous reference frame

路滤波器。假设三相电网电压的幅值为 U_{sm}，则电压矢量 $\boldsymbol{u}_s$ 在 q 轴上的投影可表示为

$$u_{sq}=U_{sm}\sin(\theta^*-\theta) \tag{1}$$

正弦函数是个非线性函数，非线性因素使 PI 参数的设计及系统稳态、动态性能的分析变得很困难，为此引入稳态工作点附近的小信号线性近似，当 $\theta^*-\theta$ 很小时，$\sin(\theta^*-\theta)\approx\theta^*-\theta$，据此可得锁相环的线性模型如图 3 所示，令 $\theta^*=\omega_0 t+\theta_0$，图 3 中加入了对基准角频率 ω_0 及基准相位 θ_0 的静态偏置补偿，分别为 ω_0' 和 θ_0'，则可推导锁相环的输出函数为（推导过程见附录）

$$\theta(s)=\theta^*(s)+\frac{(\omega_0'-\omega_0)+(\theta_0'-\theta_0)s}{s^2+U_{sm}k_p s+U_{sm}k_i} \tag{2}$$

由上式可知，锁相环的动态性能由 PI 参数 k_p 与 k_i、角频率静态偏置补偿误差 $\omega_0'-\omega_0$、相位静态偏置补偿误差 $\theta_0'-\theta_0$ 决定。其中 PI 参数可以根据线性模型开环传递函数的 Bode 图设计，为了提高锁相环的响应速度，可增大 k_p 以提高系统的带宽，然而锁相环实际上是非线性系统，在大信号输入情况下上述线性模型与实际偏差大，因此有必要分析基于线性模型设计的 PI 参数对系统稳定性的影响。

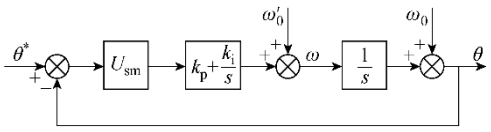


图 3 三相数字锁相环线性模型

Fig.3　Linear model of three-phase digital PLL

3　基于李雅普诺夫函数的锁相环稳定性研究

图 4 所示为基于同步参考坐标系的三相数字锁相环的非线性模型，以锁相相位误差 e 及角频率 ω为状态变量建立锁相环状态方程为

$$\begin{cases} \dot{x}_1 = -x_2 + \omega_0 \\ \dot{x}_2 = U_{\mathrm{sm}} k_{\mathrm{p}} \left(-x_2 + \omega_0\right)\cos x_1 + U_{\mathrm{sm}} k_{\mathrm{i}} \sin x_1 \end{cases} \quad (3)$$

式中，x_1 指代 e，x_2 指代 ω。令 $\dot{x}_1 = 0$，$\dot{x}_2 = 0$ 求得锁相环的平衡点为：（ $k\pi$，ω_0），k=0，±1，±2，…，由于鉴相器是周期为 2π的正弦函数，因此实际平衡点只有两个：（ 0，ω_0）和（π，ω_0），则锁相相位误差 e 只需考虑一个周期的范围，即 $e \in (-\pi, \pi]$。

如果能够证明锁相环在其中一个平衡点上全局渐进稳定，那么锁相环在另外一个平衡点必定不会稳定。

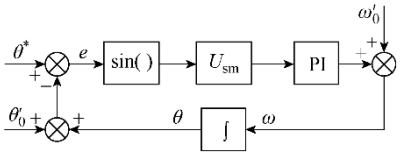


图 4　三相数字锁相环非线性模型

Fig.4　Nonlinear model of three-phase digital PLL

假定锁相环在平衡点（ 0，ω_0）上渐进稳定，构造李雅普诺夫函数

$$V(x) = 1 - \cos x_1 + \frac{(n_1 x_2 + n_2 \sin x_1 + n_3)^2}{2} \quad (4)$$

式中，$x_1 \in (-\pi, \pi]$，$x_2 \in \mathbf{R}$，n_1、n_2、n_3 为待定系数。

根据李雅普诺夫稳定性定理 [20]，锁相环在平衡点（0，ω_0）上渐进稳定的充分条件是 $V(x)$满足下列等式及不等式

$$\begin{cases} V(x) = 0 & x = (0, \omega_0) \\ V(x) > 0 & x \neq (0, \omega_0) \\ \dot{V}(x) \leq 0 & x = (0, \omega_0) \\ \dot{V}(x) < 0 & x \neq (0, \omega_0) \end{cases} \quad (5)$$

则可推导出系数 n_1、n_2、n_3 为

$$\begin{cases} n_1 = 1/\sqrt{k_{\mathrm{i}} U_{\mathrm{sm}}} \\ n_2 = -k_{\mathrm{p}} \sqrt{U_{\mathrm{sm}} / k_i} \\ n_3 = -\omega_0 / \sqrt{k_{\mathrm{i}} U_{\mathrm{sm}}} \\ n_1 n_2 < 0 \end{cases} \quad (6)$$

由上式可知 n_1、n_2、n_3 有实数解的前提是 $k_{\mathrm{p}} > 0$ 且 $k_{\mathrm{i}} > 0$，也就是说基于同步参考坐标系的三相数字锁相环稳定性只与 PI 参数有关，而与角频率静态偏置补偿误差和相位静态偏置补偿误差无关。由于锁相环引入比例积分环节构成负反馈闭环系统势必满足此前提条件，因此基于线性模型设计的 PI 参数不会影响锁相环的稳定性。

4　锁相环动态性能的改善

由式 2 可知，减小角频率静态偏置补偿误差 $\omega_0' - \omega_0$ 及相位静态偏置补偿误差 $\theta_0' - \theta_0$ 均能缩短锁相环的调整时间。电网频率允许偏差值为 ±1Hz[21]，因此只要能识别 ω_0 的正负即可将角频率静态偏置补偿误差控制在 2%范围内。图 5 所示为与电网连接的三相功率系统结构框图，电网侧的三相端子用 a、b、c 表示，功率侧的三相端子用 x、y、z 表示，三相坐标轴用 A、B、C 表示，电网侧与功率侧在硬件上用导线相连，而功率侧与三相坐标轴在软件上对应，功率侧的三相电压 u_{x}、u_{y}、u_z 通过采样输入到 DSP，根据其与三相坐标轴的对应关系转换成电压矢量，若电压矢量逆时针旋转，$\omega_0 > 0$，为正序，若电压矢量顺时针旋转，$\omega_0 < 0$，为负序，因此识别 ω_0 的正负实际上就是识别三相坐标轴上三个电压量合成电压矢量的相序。

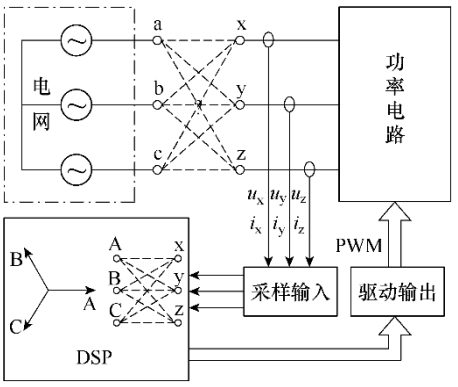


图 5　三相功率系统结构框图

Fig.5　Three-phase system structure diagram

4.1 相序及相位识别原理

电网侧三相电压可表示为

$$\begin{cases} u_{\mathrm{a}} = U_{\mathrm{sm}} \sin(\omega t + \theta_0) \\ u_{\mathrm{b}} = U_{\mathrm{sm}} \sin(\omega t + \theta_0 - 2\pi/3) \\ u_{\mathrm{c}} = U_{\mathrm{sm}} \sin(\omega t + \theta_0 + 2\pi/3) \end{cases} \tag{7}$$

功率侧三相电压可表示为

$$\begin{cases} u_{\mathrm{x}} = U_{\mathrm{sm}} \sin(\omega t + \theta_0 - 2m\pi/3) \\ u_{\mathrm{y}} = U_{\mathrm{sm}} \sin(\omega t + \theta_0 - 2m\pi/3 - 2n\pi/3) \\ u_{\mathrm{z}} = U_{\mathrm{sm}} \sin(\omega t + \theta_0 - 2m\pi/3 + 2n\pi/3) \end{cases} \tag{8}$$

式中，m=0、±1，决定各相初始相位，n=±1，决定各相间的相位差，m 和 n 的不同组合对应功率侧与电网侧的不同硬件接法。令 xyz→ABC，单杠箭头表示功率侧三相电压按顺序分别置于三相坐标轴 A、B、C 上，则可推算出功率侧三相电压合成的电压矢量为

$$\boldsymbol{u}_{\mathrm{xyz}} = U_{\mathrm{sm}} \mathrm{e}^{\mathrm{j}(\omega t + \theta_0 - \pi/2 - 2m\pi/3)n} \tag{9}$$

由式 9 可看出相序只跟 n 的取值有关，将所有 6 种接法的相序总结见表 1。

表 1 各种接法对应的相序

Tab.1 Phase sequences of different connections

n	M		
	0	−1	1
1	abc ⇒ xyz 正序	cab ⇒ xyz 正序	bca ⇒ xyz 正序
−1	abc ⇒ xyz 负序	cab ⇒ xyz 负序	bca ⇒ xyz 负序

表 1 中双杠箭头表示按顺序连接，（如 bac ⇒ xyz 表示 b 与 x 相连，a 与 y 相连，c 与 z 相连），对比正序与负序的三相电压波形可归纳出如表 2 所示的规律，只需等待任意一相电压过零，将过零相置于 A 轴，其余两相任意分配到 B 轴和 C 轴即可判断相序。以图 6 三相正弦波为例，可看出 a 相电压负向过零时，b 相电压为正，c 相电压为负，若 abc ⇒ xyz → ABC，则对应表 2 中正序的第一行；若 acb ⇒ xyz → ABC，则对应表 2 中负序的第一行。

表 2 相序判断依据

Tab.2 Phase sequence identification rule

相序	u_{A}	$\dot{u}_{\mathrm{A}}$	u_{B}	u_{C}
正序	0	−	+	−
	0	+	−	+
负序	0	−	−	+
	0	+	+	−

上述相序识别方法要求检测过零点及过零点的电压变化趋势，正向（负向）过零相的相位为 0(π)，将过零相置于 A 轴，并判断其他两相电压的正负，按照表 2 规则，将正（负）电压相置于 C 轴，将负（正）电压相置于 B 轴，则在程序内部将电网侧与功率侧的所有硬件接法均连接成正序接法，至此可实现角频率静态偏置补偿和相位静态偏置补偿。

4.2 相序及相位识别的实现及分析

实现上述相序识别方法需要在检测出任意一相过零点时判断其电压的变化趋势以及其他两相电压的正负，考虑到电网电压含有谐波且电压采样时引入干扰，实际采样得到的电压在理想值上下波动，假设波动范围为 $\pm U_{\mathrm{f}}$，如图 6 所示，a 相电压采样结果在 a+及 a−范围内，可能出现多个过零点及 $u_{\mathrm{a}}(\theta_1) > u_{\mathrm{a}}(\theta_2)$的情况，导致过零点检测及其电压变化趋势的判断变得不可靠。从图 6 可看出，某相过零时，其他两相距离零电压均有段距离，因此相序识别不需要在精确的过零时刻进行，为此可引入过零点的滞环判断，滞环上下限为 $\pm U_{\mathrm{t}}$，采样电压小于 $-U_{\mathrm{t}}$ 判定为负电压，大于 U_{t} 判定为正电压，而处于两者之间为模糊状态，不予采用。当判定出某相电压为正（负）时，只需等到该相电压变为负（正），即可判定该相电压负向（正向）过零。而保证电压正负判定正确的前提条件是

$$U_{\mathrm{t}} > U_{\mathrm{f}} \tag{10}$$

滞环上下限幅值越大，则正负判定的抗干扰能力越强，但是过零电压变化趋势的判定时间偏离过零点越长，可能出现其他两相电压已经反向的问题，导致相序的错误识别。以图 6 中所示为例，a 相正向过零时，c 相为正，b 相为负，随着 θ 增加，c 相比 b 相更早向零电压靠近，因此这里只需分析 c 相反向的问题。

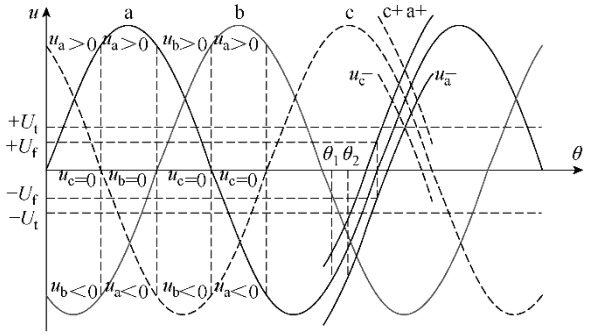


图 6　三相电压及其扰动示意图

Fig.6　Three-phase voltage and disturbance

a 相过零电压变化趋势判定时刻可由下式求出：

$$U_t = U_{sm}\sin\theta_a + u_{fa} \tag{11}$$

式中，u_{fa} 为 a 相干扰电压，$|u_{fa}|\leqslant U_f$，而该判定时刻的 c 相电压为

$$u_c(\theta_a) = U_{sm}\sin\left(\theta_a + 2\pi/3\right) + u_{fc} \tag{12}$$

式中，u_{fc} 为 c 相干扰电压，$|u_{fc}|\leqslant U_f$，当 $u_{fa}=u_{fc}=-u_f$ 判定时刻的 c 相电压最小，可表示为

$$u_{cmin}(\theta_a) = \frac{\sqrt{3U_{sm}^2 - 3(U_t+U_f)^2} - U_t - 3U_f}{2} \tag{13}$$

综合抗干扰裕量取决于 U_t–U_f 及 $u_{cmin}(\theta_a)$中较小值，U_t–U_f 随 U_t 增加而增加，而 $u_{cmin}(\theta_a)$随 U_t 增加而减小，为了获得最大的综合抗干扰裕量，令 U_t–U_f=$u_{cmin}(\theta_a)$，得

$$U_t = \frac{\sqrt{9U_{sm}^2 - 3U_f^2} - 3U_f}{6} \tag{14}$$

不同相过零及不同电压变化趋势过零的分析与上述相似，U_t 的推导结果相同，此处不予赘述。根据国标[22]规定，0.38kV 公用电网电压总谐波畸变率限值为 5%，即 U_f=0.05U_{sm}，则综合抗干扰裕量最大的滞环宽度应该取 U_t=0.475U_{sm}。

但是滞环电压 U_t 越大则过零点相位的计算误差越大，为了减小相位静态偏置补偿误差导致的锁相环调整时间，可以在保证式（10）成立的前提下尽量减小 U_t。

5　仿真及实验结果

5.1　角频率静态偏置补偿

为了验证角频率静态偏置对锁相环调整时间的影响，建立如图 7 所示的仿真模型，相位基准输入按照 100π/s 的斜率上升，即对应电压矢量为正序，锁相环的线性模型带宽设计为 600Hz[11]，对应 PI 参数取 k_p=11.04、k_i=69.24，施加不同的角频率静态偏置补偿

$\omega_0' = -100\pi$, $\omega_0' = 0$, $\omega_0' = 98\pi$, $\omega_0' = 100\pi$, $\omega_0' = 102\pi$，-100π对应相序错误情况，0 对应无补偿情况，100π对应正确识别相序并补偿的情况，而 98π、102π对应电网频率最大允许偏差的情况，观测相位跟踪误差，并转换为度数，如图 7 中 Scope，其结果如图 8 所示。图中 右上角图形为局部放大图，可以看出 $\omega_0' = 100\pi$ 为最理想的偏置补偿效果，相位跟踪误差从 0 时刻开始即为 0。而电网频率偏差导致的相位跟踪峰值误差约 0.1°，对于大多数的并网变换器来说此误差影响可忽略，而无补偿情况调整到误差为 0.1° 需用时约 625ms，相序错误情况则需 735ms，由此可见角频率静态偏置补偿越准确，锁相环调整时间越短，而相序识别可以将补偿准确度缩小到电网频率的偏差范围内。

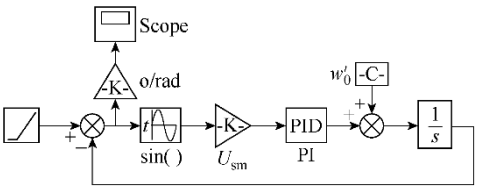


图 7　三相数字锁相环 simulink 仿真模型

Fig.7　Simulink model of three-phase digital PLL

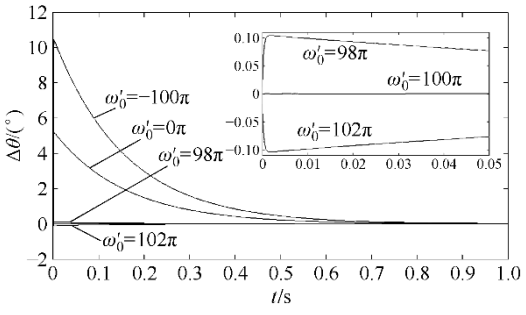


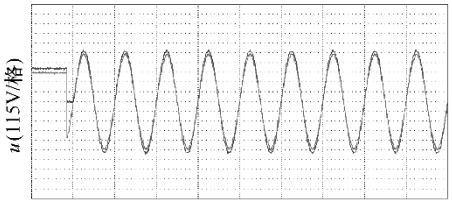
图 8　不同角频率静态偏置补偿时的相位跟踪误差

Fig.8　Track error of phase with different compensation of angular frequency static bias

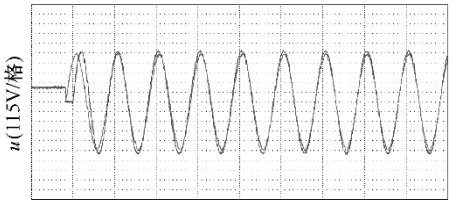
5.2 相位静态偏置补偿

分别对未加入和加入相位静态偏置补偿的锁相环进行实验比较，实验涵盖 2π弧度范围内三相电压的 6 个过零点，即初始相位 θ_0 为 0 、π/3、2π/3、π、4π/3 和 5π/3，过零点采用文中所述滞环判断，滞环电压幅值为 30V。两组锁相环实验均加入了角频率静态偏置补偿，为 $\omega_0'=100\pi$，相序已经识别并在软件中校正为正序。图 9、图 10 中红色波形为电网线电压波形，由电压霍尔采样经 A-D 转换到 DSP 内部再换算后经 D-A 模块输出所得，蓝色波形为锁相环输出相位的正弦值，由 DSP 内部计算后经 D-A 模块输出所得。波形中左边线起 20ms 内的波形为程序内部的初始化，没有实际的物理意义。

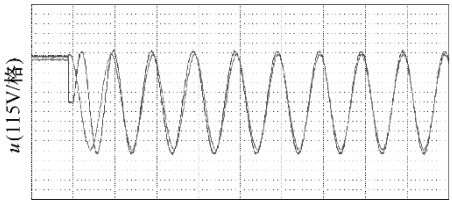
图 9 所示为未加入相位静态偏置补偿的锁相环实验波形，即 $\theta_0'=0$，锁相环调整时间最短的是 θ_0=0 情况，如图 9a；其次是相差 π/3 情况，分别是电网电压领先和滞后锁相初始输出 π/3 的情况，如图 9b 和图 9f；再次是相差 2π/3 情况，如图 9c 和图 9e；最后是相差 π的情况，调整时间最长，如图 9d，验证了锁 相环的调整时间与相位静态偏置补偿误差大小有关。



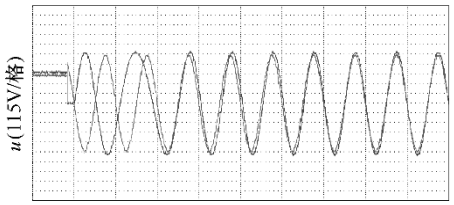
（a） θ_0=0



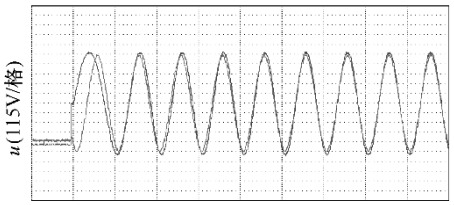
（b） θ_0=π/3



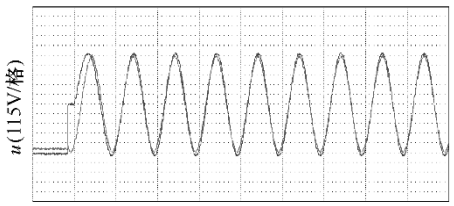
（c） θ_0=2π/3



（d） θ_0=π



（e） θ_0=4π/3

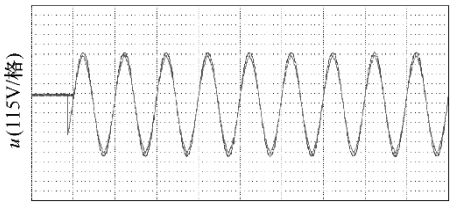


（f） θ_0=5π/3

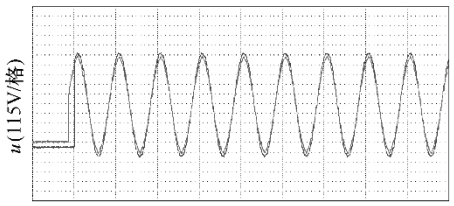
图 9 未加入相位静态偏置补偿的锁相环实验波形

Fig.9 Experimental waveforms of phase-locked loop without initial phase compensation

图 10 所示为加入相位静态偏置补偿的锁相环实验波形，即 $\theta_0'\approx\theta_0$，无论功率侧与电网侧相连时的电网相位如何，最长只需等待 1/6 电网基波周期，在过零点出现后即可识别当前电网相位并开始锁相，可以看出六种初始相位的锁相环调整时间相近，此时间取决于过零判断的滞环范围。



（a） θ_0=0



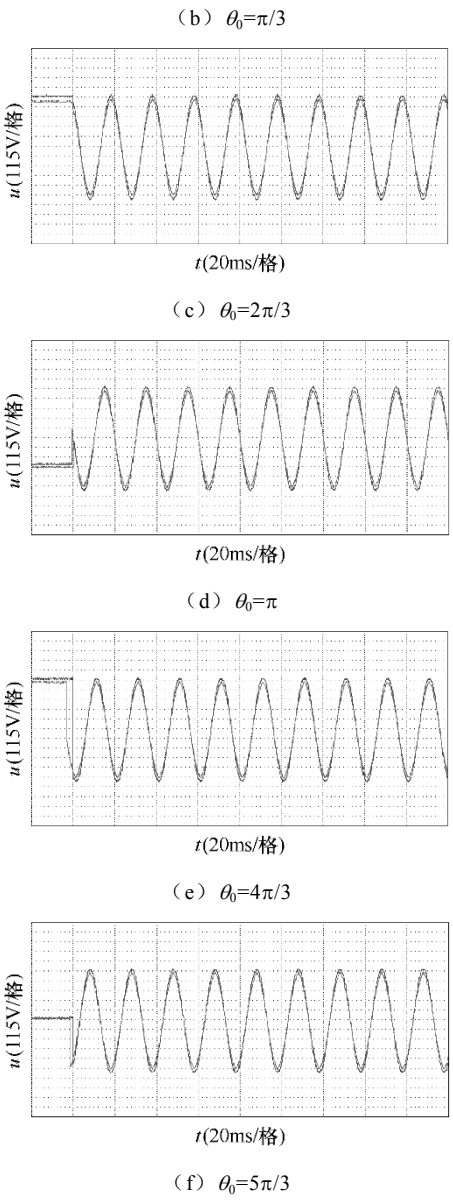


图 10　加入相位静态偏置补偿的锁相环实验波形

Fig.10　Experimental waveforms of phase-locked loop with initial phase compensation

6　结论

本文在简述基于同步参考坐标系的三相数字锁相环原理后，得出了决定锁相环调整时间的三个因素包括 PI 参数的设计、角频率和相位静态偏置补偿误差，通过构造李雅普诺夫函数证明了只要 PI 参数都大于零，基于非线性模型的 锁相环就能稳定，确保了基于线性模型设计的 PI 参数的合理性，并提出了相序识别方法以给定正确的角频率静态偏置补偿，相序识别的同时实现了相位的近似识别，将识别后的相位用于锁相环的相位静态偏置补偿，在稳定的前提下大大缩短了锁相环的调整时间，仿真和实验结果证明了上述方法的可行性。

附　录

式（2）的推导过程如下。

根据图 3 可以写出如下等式：

$$\left[U_{\mathrm{sm}}\left(k_{\mathrm{p}}+\frac{k_{\mathrm{i}}}{s}\right)\left(\theta^{*}(s)-\theta(s)\right)+\omega_0'(s)\right]\frac{1}{s}+\theta_0'(s)=\theta(s) \tag{A1}$$

整理与 $\theta(s)$相关项置于等式右边，得

$$U_{\mathrm{sm}}\frac{1}{s}\left(k_{\mathrm{p}}+\frac{k_{\mathrm{i}}}{s}\right)\theta^{*}(s)+\frac{1}{s}\omega_0'(s)+\theta_0'(s)=\left[1+U_{\mathrm{sm}}\frac{1}{s}\left(k_{\mathrm{p}}+\frac{k_{\mathrm{i}}}{s}\right)\right]\theta(s) \tag{A2}$$

等式两边同时除以 $\left[1+U_{\mathrm{sm}}\frac{1}{s}\left(k_{\mathrm{p}}+\frac{k_{\mathrm{i}}}{s}\right)\right]$，得

$$\frac{U_{\mathrm{sm}}\frac{1}{s}\left(k_{\mathrm{p}}+\frac{k_{\mathrm{i}}}{s}\right)\theta^{*}(s)+\frac{1}{s}\omega_0'(s)+\theta_0'(s)}{1+U_{\mathrm{sm}}\frac{1}{s}\left(k_{\mathrm{p}}+\frac{k_{\mathrm{i}}}{s}\right)}=\theta(s) \tag{A3}$$

进一步整理可得

$$\theta(s)=\theta^{*}(s)+\frac{\frac{1}{s}\omega_0'(s)+\theta_0'(s)-\theta^{*}(s)}{1+U_{\mathrm{sm}}\frac{1}{s}\left(k_{\mathrm{p}}+\frac{k_{\mathrm{i}}}{s}\right)} \tag{A4}$$

将 $\theta^{*}(t)=\omega_0 t+\theta_0$，$\omega_0'(t)=\omega_0'$，$\theta_0'(t)=\theta_0'$ 经拉普拉斯变换得 $\theta^{*}(s)=\frac{\omega_0}{s^2}+\frac{\theta_0}{s}$，$\omega_0'(s)=\frac{\omega_0'}{s}$，$\theta_0'(s)=\frac{\theta_0'}{s}$，并代入式（A4）得

$$\begin{aligned}\theta(s)&=\theta^{*}(s)+\frac{\frac{\omega_0'}{s^2}+\frac{\theta_0'}{s}-\frac{\omega_0}{s^2}-\frac{\theta_0}{s}}{1+U_{\mathrm{sm}}\left(k_{\mathrm{p}}+\frac{k_i}{s}\right)\frac{1}{s}}\\&=\theta^{*}(s)+\frac{(\omega_0'-\omega_0)+(\theta_0'-\theta_0)s}{s^2+U_{\mathrm{sm}}k_p s+U_{\mathrm{sm}}k_i}\end{aligned} \tag{A5}$$

参考文献

[1] Guan Chyun Hsieh, Hung James C. Phase-locked loop techniques-a survey[J]. IEEE Transactions on Industrial Electronics, 1996, 43(6): 609-615.

[2] Daniel Abramovitch. Phase-locked loops: a control centric tutorial [C]. Proceedings of the American Control Conference, Anchorage, AK USA, 2002.

[3] 李亚斌，彭咏龙，李和明．自采样比例积分控制全数字锁相环的性能分析和实现 [J]. 中国电机工程学报, 2005, 25(18): 64-69.
Li Yabin, Peng Yonglong, Li Heming. The implementation and analysis of a self-sampling PI

control all digital phase-locked loop[J]. Proceedings of the CSEE, 2005, 25(18): 64-69.

[4] 孔雪娟, 罗昉, 康勇. 基于周期控制的逆变器全数字锁相环的实现和参数设计 [J]. 中国电机工程学报 , 2007, 27(1): 60-64.
Kong Xuejuan, Luo Fang, Kang Yong. Implement and parameter design of DPLL for invertors based on cycle control[J]. Proceedings of the CSEE, 2007, 27(1): 60-64.

[5] 杨勇, 阮毅, 叶斌英. 基于锁相环和虚拟电网磁链的三相并网逆变器 [J]. 电工技术学报 , 2010, 25(4): 109-114.
Yang Yong, Ruan Yi, Ye Binying. Three-phase grid-connected inverters based on PLL and virtual grid flux [J]. Transactions of China Electro-technical Society, 2010, 25(4): 109-114.

[6] 龚锦霞, 解大, 张延迟. 三相数字锁相环的原理及性能[J]. 电工技术学报 , 2009, 24(10): 94-99, 121.
Gong Jinxia, Xie Da, Zhang Yanchi. Principle and performance of the three-phase digital phase-locked loop[J]. Transactions of China Electrotechnical Society, 2009, 24(10): 94-99, 121.

[7] 庞浩, 俎云霄, 王赞基. 一种新型的全数字锁相环 [J]. 中国电机工程学报 , 2003, 23(2): 37-41, 131.
Pang Hao, Zu Yunxiao, Wang Zanji. A new design of all digital phase-locked loop[J]. Proceedings of the CSEE, 2003, 23(2): 37-41, 131.

[8] 高金文, 温旭辉, 陈静薇. 新型锁相环定子磁链观测器[J]. 中国电机工程学报 , 2007, 27(18): 41-47.
Gao Jinwen, Wen Xuhui, Chen Jingwei. Novel motor stator flux observer based on PLL[J]. Proceedings of the CSEE, 2007, 27(18): 41-47.

[9] 冯志华, 刘强, 刘永斌. 基于锁相环的变频器同步跟踪实验[J]. 电工技术学报 , 2006, 21(11): 96-100.
Feng Zhihua, Liu Qiang, Liu Yongbin. Experimental study on synchronized tracing control of variable frequency devices based on phase locked loop[J]. Transactions of China Electrotechnical Society, 2006, 21(11): 96-100.

[10] Timbus A, Teodorescu R, Blaabjerg F, et al. Synchronous methods for three phase distributed power generation systems, an overview and evaluation[C]. Proceedings of the Power Electronics Specialists Conference, Recife, Brazil, 2005.

[11] Vikram Kaura, Vladimir Blasko. Operation of a phase locked loop system under distorted utility conditions[J]. IEEE Transactions on Industry Applications, 1997, 33(1): 58-63.

[12] Amuda L N, Cardoso Filho B J, Silva S M, et al. Wide bandwidth single and three-phase PLL structures for grid-tied PV systems[C]. Proceedings of the Photovoltaic Specialists Conference, Anchorage, AK USA, 2000.

[13] Chung Se Kyo. A phase tracking system for three phase utility interface inverters[J]. IEEE Transactions on Power Electronics, 2000, 15(3): 431-438.

[14] Chung Se Kyo. Phase-locked loop for grid-connected three-phase power conversion systems[J]. IEE Proceedings on Electric Power Applications, 2000, 147(3): 213-219.

[15] Katsuhiko Ogata. Modern control engineering[M]. 5 版. 北京: 电子工业出版社 , 2007.

[16] Yabramovitch Daniel. Lyapunov redesign of analog phase-lock loops[J]. IEEE Transactions on Communications, 1990, 38(12): 2197-2202.

[17] Dan Simon, ElSherief Hossny. Lyapunov stability analyses of digital phase-locked loops[C]. Proceedings of the IEEE International Conference on Systems, Man, and Cybernetics, San Antonio, TX USA, 1994.

[18] Daniel Abramovitch. Lyapunov redesign of classical digital phase-lock loops[C]. Proceedings of the American Control Conference, Denver, Colorado, USA, 2003.

[19] Anders Rantzer. Almost global stability of phase-locked loops[C]. Proceedings of the 40th IEEE Conference on Decision and Control, Orlando, Florida USA, 2001.

[20] Khalil Hassan K. Nonlinear systems [M]. 3 版. 北京: 电子工业出版社 , 2007.

[21] 林海雪. 电压电流频率和电能质量国家标准应用手册[M]. 北京: 中国电力出版社 , 2001.

[22] 中国国家标准化管理委员会 . GB/T 14549—1993 电能质量 公用电网间谐波 [S]. 北京: 中国标准出版社, 1993.

作者简介：洪小圆 男，1984 年生，博士研究生，现从事双向变频器及电梯驱动的研究。 吕征宇 男，1957 年生，教授、博士生导

师，现从事电力电子功率变换与系统控制的研究。